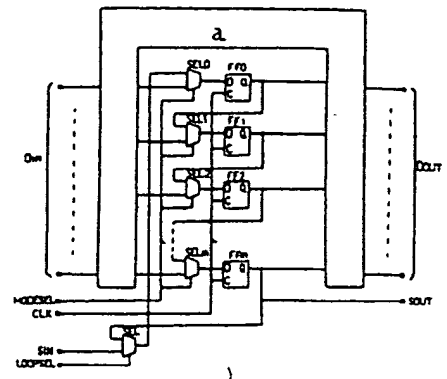


(54) TEST CIRCUIT FOR DIGITAL CIRCUIT

(11) 1-170873 (A) (43) 5.7.1989 (19) JP
 (21) Appl. No. 62-332976 (22) 25.12.1987
 (71) NEC CORP (72) MAKOTO AIHARA
 (51) Int. Cl. G01R31/28

PURPOSE: To restart a normal operation in a shift operation state without inputting from a serial data input by switching the serial data input of an FF in a first stage to the output signal of an FF in the last stage by a loop back control signal.

CONSTITUTION: When an operation state selection signal MODESEL and a loop back control signal LOOPSEL are set to the low level, the output Q of an FF_m is outputted from a serial data output SOUT and is inputted to the data input D of an FF0 through selectors SEL and SEL0. Meanwhile, the output Q of the FF0 is inputted to the data input D of an FF1 through a selector SEL1. Data outputs Q of FFs in preceding stages are inputted to data inputs D of an FF2 and following FFs. When a clock CLK is inputted, inputs D of respective FFs are set to respective FFs and are successively outputted as outputs Q. As the result, data Q_{m-1} set to an FF_{m-1} is outputted from the output SOUT. When this operation is repeated m-number of times, data set to all FFs are outputted from the output SOUT and all FFs are set to the states before the clock input.



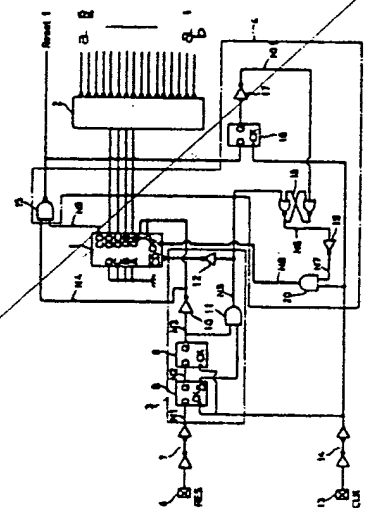
a: combination circuit

(54) TEST MODE SETTING CIRCUIT FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(11) 1-170874 (A) (43) 5.7.1989 (19) JP
 (21) Appl. No. 62-331685 (22) 25.12.1987
 (71) RICOH CO LTD (72) MAKOTO SAITO(1)
 (51) Int. Cl. G01R31/28, G06F11/22

PURPOSE: To use a reset terminal as a test terminal by measuring the pulse width of a signal inputted to the reset terminal by a fundamental clock and selecting a test mode corresponding to this pulse width.

CONSTITUTION: When the pulse width of the signal inputted to a reset terminal 6 is twice as long as the period of a fundamental clock signal N8, the signal applied to the terminal has the waveform shaped and appears as a signal N1. Pulses corresponding to one clock are generated in an output signal N5 of an AND circuit 11 by FFs 8 and 9 and are inputted to a counter 1 through an inverter 12, and 0 is loaded there. The counter 1 is set to the enable state by an output signal N4 of an inverter 10, and the counter 1 can count a maximum of hexadecimal 2 because the inputted signal N8 rises twice during this enable state. Since the enable signal N4 is switched from the high level to the level at this time, the output value of the counter 1 is fixed to 2. Consequently, outputs QA~QD of the counter 1 are fixed to this level, and a decoder 2 outputs a mode signal which selection test mode 2.



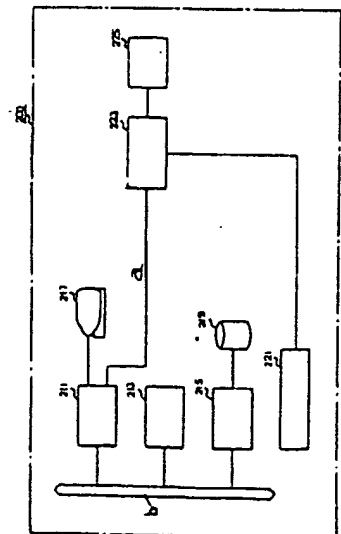
a: test mode, b: normal mode

(54) VOLTAGE GUARANTEE TESTING DEVICE

(11) 1-170875 (A) (43) 5.7.1989 (19) JP
 (21) Appl. No. 62-335251 (22) 25.12.1987
 (71) PFU LTD (72) YASUYOSHI YAMANAKA
 (51) Int. Cl. G01R31/28, G01D21/00

PURPOSE: To prevent a failure of circuit elements and to save tester's labor by supplying a voltage settlement information with control means through a generally useful interface and making a test for an object to be tested under the testing voltage supplied based on that information.

CONSTITUTION: When a motive power to start the test is given from a display terminal 217, a test program which is stored in a disk 219 by controlling with a disk controller board 215 is stored in a memory equipped on a main board 211. By this test program, the voltage settlement information is sent to a voltage margin control adapter 223 through a centronics interface. A load based on the above information is formed by the adapter 223 in response to a voltage supplied from an electric power supply source 225 for the adapter. The voltage corresponding to the load is supplied to each part by an electric power source device 221, and under this voltage, a function test is performed by the test program in order the board 211, graphic board 213 and board 215. The tests are subsequently performed for all testing voltages ought to be made, then the tests are finished.



⑫ 公開特許公報(A) 平1-170873

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)7月5日

G 01 R 31/28

A-6912-2G

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 デジタル回路の試験回路

⑯ 特 願 昭62-332976

⑰ 出 願 昭62(1987)12月25日

⑱ 発 明 者 相 原 誠 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 桑井 清一

明 細 書

1. 発明の名称

デジタル回路の試験回路

2. 特許請求の範囲

順序回路を構成する各フリップフロップの入力信号を動作状態選択信号により通常の組合せ回路の出力信号と前段のフリップフロップの出力信号とを切り替え全てのフリップフロップをシフトレジスタとして動作可能な同期回路に付加されるデジタル回路の試験回路において、全てのフリップフロップをシフトレジスタとして動作させた時には、初段フリップフロップのシリアルデータ入力に折り返し制御信号により最終段フリップフロップの出力信号を供給する切り替え手段を有することを特徴とするデジタル回路の試験回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明はデジタル回路に関し、特に同期回路

の試験回路に関する。

【従来の技術】

従来、この種のデジタル回路の試験回路は、第3図に示すような回路がある。以下第3図を参照して説明する。第3図において通常動作状態では動作状態選択信号MODESELを高レベルとする。この時フリップフロップFF0、FF1、FF2、・・・、FFmのデータ入力DにはそれぞれセレクトSEL0、SEL1、SEL2、・・・、SELMを介して組合せ回路の出力信号が入力される。一方、シフト動作状態では動作状態選択信号MODESELを低レベルとする。この時、フリップフロップFF0のデータ入力DはセレクトSEL0を介してシリアルデータ入力信号SINが入力され、次段のフリップフロップFF1のデータ入力DにはセレクトSEL1を介してフリップフロップFF0の出力信号Qが入力される。フリップフロップFF2からフリップフロップFFmについてもフリップフロップFF1と同

様に前段のフリップフロップの出力信号Qがセレクタを介しデータ入力Dに入力され、フリップフロップFFmの出力信号Qがシリアルデータ出力信号SOUTで出力される。したがってフリップフロップFF0からフリップフロップFFmは入力端子CLK, SIN, SOUTをそれぞれクロック入力, シリアルデータ入力, シリアルデータ出力とする一列のシフトレジスタとして動作する。

本回路による組合せ回路及び順序回路の動作検証において、通常動作状態で各フリップフロップに設定されたデータの確認及び設定を行う場合には、動作状態選択信号MODESELによりシフト動作状態に切り替えフリップフロップFF0, FF1, FF2, ..., FFmをクロック入力CLKによりシフトさせ、シリアルデータ出力信号SOUTで確認すると同時に、シリアルデータ入力信号SINフリップフロップFF0からFFmの出力データQの設定を行う。この動作を何度か繰り返すことにより、動作検証するためのテスト・パターンを短くすることを可能としている。

-3-

替え全てのフリップフロップをシフトレジスタとして動作可能な同期回路に付加される試験回路であり、全てのフリップフロップとシフトレジスタとして動作させた時に、折り返し制御信号により初段フリップフロップのシリアルデータ入力に最終段フリップフロップの出力信号を供給する切り替え手段を備えたことを要旨としている。

【実施例】

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。第1図においてSEL0, SEL1, ..., SELmは動作状態選択信号MODESELにより通常動作状態とシフト動作状態を切り替えられるセレクタ、FF0, FF1, ..., FFmはDタイプのフリップフロップ、SELは折り返し制御信号LOOPSELに反応して初段フリップフロップFF0のシリアルデータ入力信号にシリアルデータ入力SINと最終段フリップフロ

【発明が解決しようとする問題点】

上述した従来のデジタル回路の試験回路は、動作検証において通常動作状態で動作中にフリップフロップに設定されているデータを確認し、その後継続して通常動作状態で動作させる場合には、まず動作状態選択信号MODESELによりシフト動作状態に切り替え、全てのフリップフロップに設定されたデータをシリアルデータ出力SOUTで確認した後に、シリアルデータ入力でその時のフリップフロップに設定されていたデータを再び設定しなければならない。したがって新たな設定動作が必要となり余分な手間がかかるうえ、データ設定の誤りも発生するという問題点があった。

【問題点を解決するための手段】

本発明のデジタル回路の試験回路は、順序回路を構成する各フリップフロップの入力信号を動作状態選択信号により通常の組合せ回路の出力信号と前段のフリップフロップの出力信号とを切り

-4-

ップFFmの出力Qとのいずれかに供給するセレクタである。折り返し制御信号LOOPSELはシフト動作状態の時のみ有効であるのでここではシフト動作状態における動作について説明する。

第2図は本発明の一実施例の動作を示すタイムチャートである。まず初めに区間AにおけるフリップフロップFF0, FF1, ..., FFQに設定されているデータの確認について説明する。区間Aにおいて動作状態選択信号MODESELを低レベル、折り返し制御信号LOOPSELを低レベルとすると、フリップフロップFFmのデータ出力Qmはシリアルデータ出力SOUTから出力されると同時にセレクタSEL及びSEL0を介しフリップフロップFF0のデータ入力D0に入力される。一方フリップフロップFF0のデータ出力Q0はセレクタSEL1を介しフリップフロップFF1のデータ入力D1に入力される。フリップフロップFF2, ..., FFQのデータ入力D2, ..., Dmも同様に前段のフリップフロップのデータ出力が入力される。そしてク

-5-

-6-

ロック入力CLKからクロックが入力されるとフリップフロップFF0, FF1, ..., FFmのデータ入力D0, D1, ..., Dmは各フリップフロップに設定され、続いて出力Q0, Q1, ..., Qmに順次出力される。その結果シリアルデータ出力SOUTからはクロックが入力される前FFm-1に設定されていたデータQm-1が出力される。これらの動作をm回繰り返すことにより、シリアルデータ出力SOUTからFF0, FF1, ..., FFmに設定されていたデータが全て出力されると共にFF0, FF1, ..., FFmは区間Aにおいてクロックが入力される以前の状態に設定される。

次に区間BにおけるフリップフロップFF0, FF1, ..., FFmに設定されているデータの確認及び一部のフリップフロップのデータ設定について説明する。ここではフリップフロップFF1とFFQのデータのみ書き替えることとする。区間Bにおいて動作状態選択信号MODESELを低レベルとし、折り返し制御信号LOOPSEL

Lを1番目のクロック及びm-1番目のクロックの間のみ高レベルとしそれ以外は低レベルとする。折り返し制御信号LOOPSELが高レベルの間はFF0のデータ入力D0はセクタSEL及びSEL0を介しシリアルデータ入力SINからのデータが入力されるので、1番目のクロックの間にFFmに設定するデータDmを入力し、またm-1番目のクロックの間にFF1に設定するデータD1を入力すれば、FF1及びFFmにはそれぞれD1, Dmが設定され、FF1及びFFm以外のフリップフロップには区間Aと同様に区間Bにおいてクロックが入力される以前のデータが設定され、シリアルデータ出力SOUTからはFF0, FF1, ..., FFQに設定されていたデータが全て出力される。

これらの動作を行うことにより通常動作状態からシフト動作状態に切り替えてフリップフロップに設定されているデータを出力させても再び通常動作状態を継続して行うことが可能である。また一部のフリップフロップのデータを書き替えて通

-7-

常動作を継続して行うことも可能である。

〔発明の作用及び効果〕

以上説明したように本発明のデジタル回路の試験回路は、初段フリップフロップのシリアルデータ入力を折り返し制御信号により最終段フリップフロップの出力信号に切り替えることにより、通常動作状態からシフト動作状態に切り替えてフリップフロップに設定されているデータを確認するときに、フリップフロップに設定されているデータを意識してシリアルデータ入力から入力しなくても、ふたたび通常動作状態を継続して行うことができる。また、一部のフリップフロップのデータのみ書き替える事ができる。したがって回路動作検証においてフリップフロップに設定されているデータをシフト動作状態で確認する際のデータ設定誤りもなくなる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、

-8-

第2図は第1図の一実施例を示すタイムチャート、第3図は従来の一例を示すブロック図である。

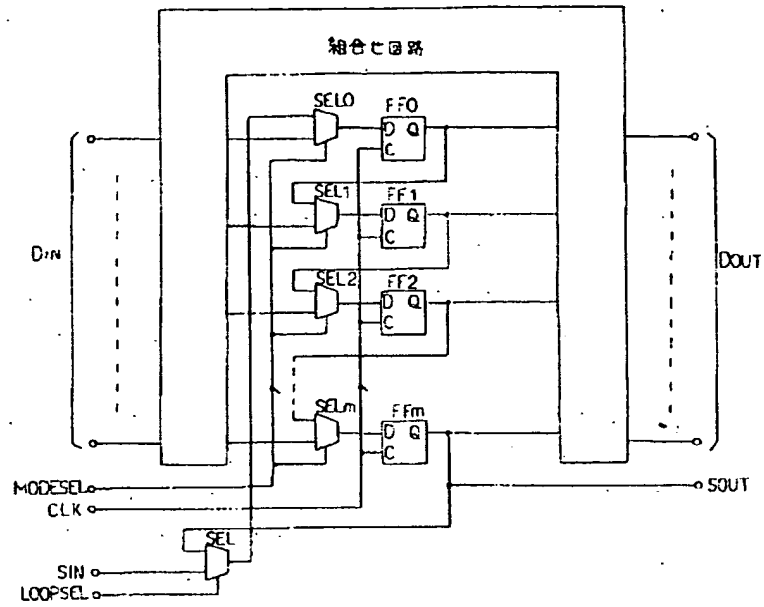
FF0~FFm・・・フリップフロップ、
SEL0~SELM・・・セクタ、
SEL・・・セクタ（切替手段）。

特許出願人 日本電気株式会社

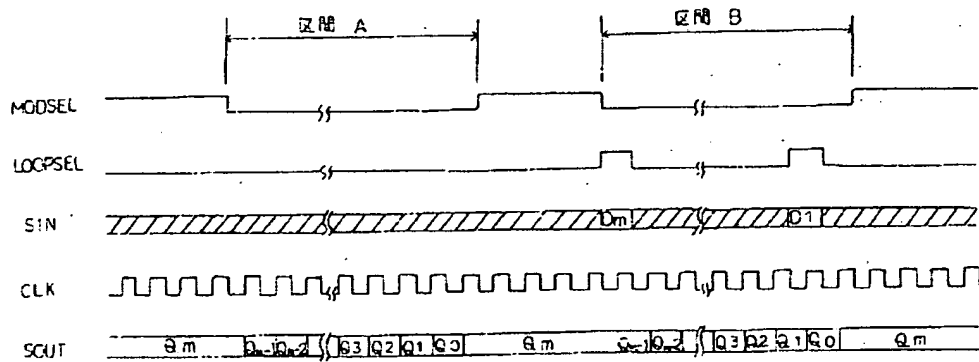
代理人 弁理士 桑 井 清 一

-9-

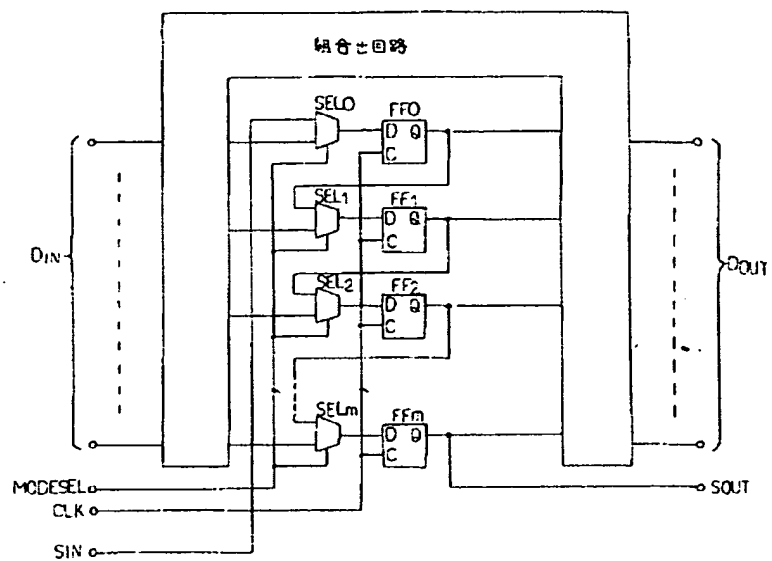
-10-



第 1 図



第 2 図



第 3 図